



日本特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

2000年 5月31日

出願番号
Application Number:

特願2000-162322

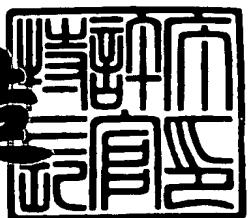
出願人
Applicant(s):

セイコーエプソン株式会社

2001年 3月 9日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3016381

【書類名】 特許願
【整理番号】 EP-0239801
【提出日】 平成12年 5月31日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/321
【発明者】
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
【氏名】 神田 敦之
【特許出願人】
【識別番号】 000002369
【氏名又は名称】 セイコーエプソン株式会社
【代理人】
【識別番号】 100090479
【弁理士】
【氏名又は名称】 井上 一
【電話番号】 03-5397-0891
【選任した代理人】
【識別番号】 100090387
【弁理士】
【氏名又は名称】 布施 行夫
【電話番号】 03-5397-0891
【選任した代理人】
【識別番号】 100090398
【弁理士】
【氏名又は名称】 大渕 美千栄
【電話番号】 03-5397-0891
【先の出願に基づく優先権主張】
【出願番号】 平成11年特許願第186638号

【出願日】 平成11年 6月30日

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項1】 絶縁層上に形成され、外部との電気的接続領域を有するパッド部と、

前記絶縁層および前記パッド部の上に形成され、前記電気的接続領域が露出する開口部を有する保護絶縁層と、を含み、

前記保護絶縁層は、

前記電気的接続領域に面した側面の少なくとも一部が、前記パッド部の上面に對して鋭角をなすテーパ形状を有し、かつ、

少なくとも第1および第2の絶縁層を有し、該第1および第2の絶縁層の側面が前記開口部に露出する、半導体装置。

【請求項2】 請求項1において、

前記第1および第2の絶縁層は、エッチングレートが異なる材質からなる、半導体装置。

【請求項3】 請求項1または2において、

前記第1の絶縁層は、前記絶縁層上に形成され、前記第2の絶縁層は、前記第1の絶縁層上に形成された、半導体装置。

【請求項4】 請求項1～3のいずれかにおいて、

前記第2の絶縁層は、前記第1の絶縁層より大きい膜厚を有する、半導体装置

【請求項5】 請求項4において、

前記第1の絶縁層の膜厚は400～600nmであり、前記第2の絶縁層の膜厚は600～1400nmである、半導体装置。

【請求項6】 請求項1～5のいずれかにおいて、

少なくとも前記第2の絶縁層は、前記電気的接続領域に面した側面が、前記パッド部の上面に對して鋭角をなすテーパ形状を有する、半導体装置。

【請求項7】 請求項1～6のいずれかにおいて、

前記第2の絶縁層は、前記電気的接続領域に面した側面と、前記パッド部の上面とがなすテーパ角度が、前記第1の絶縁層のテーパ角度より小さい、半導体装置。

【請求項8】 請求項1～7のいずれかにおいて、

前記第2の絶縁層は、前記電気的接続領域に面した側面と、前記パッド部の上面とがなすテーパ角度が、30～60°である、半導体装置。

【請求項9】 請求項1～8のいずれかにおいて、

前記第1の絶縁層は、前記電気的接続領域に面した側面と、前記パッド部の上面とがなす角度が、60～90°である、半導体装置。

【請求項10】 請求項1～9のいずれかにおいて、

前記第1の絶縁層における、前記電気的接続領域に面した側面の上端縁から、前記第2の絶縁層における、前記電気的接続領域に面した側面の下端縁までの距離は、0～3μmである、半導体装置。

【請求項11】 請求項10において、

前記距離は、0～1μmである、半導体装置。

【請求項12】 請求項1～11のいずれかにおいて、

前記第2の絶縁層は、前記開口部において、前記第1の絶縁層より後退している、半導体装置。

【請求項13】 請求項1～12のいずれかにおいて、

さらに、前記パッド部の前記電気的接続領域上に、バリア層を介してバンプ電極が設けられた、半導体装置。

【請求項14】 請求項1～13のいずれかにおいて、

前記第1の絶縁層と前記第2の絶縁層とは、同一のマスク層を用いてパターニングされた、半導体装置。

【請求項15】 請求項1～14のいずれかにおいて、

前記第1の絶縁層は、酸化シリコン層からなる、半導体装置。

【請求項16】 請求項1～15のいずれかにおいて、

前記第2の絶縁層は、窒化シリコン層からなる、半導体装置。

【請求項17】 絶縁層上に形成され、外部との電気的接続領域を有するパ

ッド部と、

前記絶縁層および前記パッド部の上に形成され、前記電気的接続領域が露出する開口部を有する保護絶縁層と、を含み、

前記保護絶縁層は、前記電気的接続領域に面した側面が、前記パッド部の上面に対して鋭角をなすテーパ形状を有し、該保護絶縁層の側面が前記開口部に露出する、半導体装置。

【請求項18】 請求項17において、

前記保護絶縁層の膜厚は1000～2000nmである、半導体装置。

【請求項19】 請求項17または18において、

前記保護絶縁層は、前記電気的接続領域に面した側面と、前記パッド部の上面とがなすテーパ角度が、10～80°である、半導体装置。

【請求項20】 請求項17～19のいずれかにおいて、

さらに、前記パッド部の前記電気的接続領域上に、バリア層を介してバンプ電極が設けられた、半導体装置。

【請求項21】 請求項17～20のいずれかにおいて、

前記保護絶縁層は、酸化シリコン層または窒化シリコン層からなる、半導体装置。

【請求項22】 以下の工程(a)～(d)を含む、半導体装置の製造方法

。

(a) 絶縁層上に、所定パターンのパッド部を形成する工程、

(b) 前記パッド部を覆うように、前記絶縁層上に、少なくとも第1および第2の絶縁層を順次形成して保護絶縁層を形成する工程、

(c) 前記保護絶縁層上に、前記パッド部の電気的接続領域に対応する領域に開口部を有するマスク層を形成する工程、および

(d) 前記マスク層をマスクとして、前記第1および第2の絶縁層を選択的にエッティングし、前記電気的接続領域を露出させる工程。

【請求項23】 請求項22において、

前記第2の絶縁層は、等方性エッティングによってパターニングされる、半導体装置の製造方法。

【請求項24】 請求項22または23において、

前記第1の絶縁層は、異方性エッチングによってパターニングされる、半導体装置の製造方法。

【請求項25】 請求項22～24のいずれかにおいて、

前記第2の絶縁層と、前記第1の絶縁層とは、連続的にパターニングされる、半導体装置の製造方法。

【請求項26】 請求項22～25のいずれかにおいて、

前記第1および第2の絶縁層は、エッチングレートが異なる材質からなる、半導体装置の製造方法。

【請求項27】 請求項22～26のいずれかにおいて、

前記第2の絶縁層は、前記第1の絶縁層より大きい膜厚を有する、半導体装置の製造方法。

【請求項28】 請求項27において、

前記第1の絶縁層の膜厚は400～600nmであり、前記第2の絶縁層の膜厚は600～1400nmである、半導体装置の製造方法。

【請求項29】 請求項22～28のいずれかにおいて、

少なくとも前記第2の絶縁層は、前記電気的接続領域に面した側面が、前記パッド部の上面に対して鋭角をなすテーパ形状を有する、半導体装置の製造方法。

【請求項30】 請求項22～29のいずれかにおいて、

前記第2の絶縁層は、前記電気的接続領域に面した側面と、前記パッド部の上面とがなすテーパ角度が、前記第1の絶縁層のテーパ角度より小さい、半導体装置の製造方法。

【請求項31】 請求項22～30のいずれかにおいて、

前記第2の絶縁層は、前記電気的接続領域に面した側面と、前記パッド部の上面とがなすテーパ角度が、30～60°である、半導体装置の製造方法。

【請求項32】 請求項22～31のいずれかにおいて、

前記第1の絶縁層は、前記電気的接続領域に面した側面と、前記パッド部の上面とがなす角度が、60～90°である、半導体装置の製造方法。

【請求項33】 請求項22～32のいずれかにおいて、

前記第1の絶縁層における、前記電気的接続領域に面した側面の上端縁から、前記第2の絶縁層における、前記電気的接続領域に面した側面の下端縁までの距離は、0～3μmである、半導体装置の製造方法。

【請求項34】 請求項33において、

前記距離は、0～1μmである、半導体装置の製造方法。

【請求項35】 請求項22～34のいずれかにおいて、

前記第2の絶縁層は、前記開口部において、前記第1の絶縁層より後退している、半導体装置の製造方法。

【請求項36】 請求項22～35のいずれかにおいて、

さらに、前記パッド部の前記電気的接続領域上に、バリア層を介してバンプ電極を形成する工程を含む、半導体装置の製造方法。

【請求項37】 請求項22～36のいずれかにおいて、

前記第1の絶縁層は、酸化シリコン層からなる、半導体装置の製造方法。

【請求項38】 請求項22～37のいずれかにおいて、

前記第2の絶縁層は、窒化シリコン層からなる、半導体装置の製造方法。

【請求項39】 以下の工程(a)～(d)を含む、半導体装置の製造方法

、
(a) 絶縁層上に、所定パターンのパッド部を形成する工程、

、
(b) 前記パッド部を覆うように、前記絶縁層上に保護絶縁層を形成する工程

、
(c) 前記保護絶縁層上に、前記パッド部の電気的接続領域に対応する領域に開口部を有するマスク層を形成する工程、および

(d) 前記マスク層をマスクとして、前記保護絶縁層を等方性エッチングによってパターニングし、前記電気的接続領域を露出させる工程。

【請求項40】 請求項39において、

前記保護絶縁層の膜厚は1000～2000nmである、半導体装置の製造方法。

【請求項41】 請求項39または40において、

前記保護絶縁層は、前記電気的接続領域に面した側面と、前記パッド部の上面

とがなすテーパ角度が、10～80°である、半導体装置の製造方法。

【請求項42】 請求項39～41のいずれかにおいて、

さらに、前記パッド部の前記電気的接続領域上に、バリア層を介してバンプ電極が設けられた、半導体装置の製造方法。

【請求項43】 請求項39～42のいずれかにおいて、

前記保護絶縁層は、酸化シリコン層または窒化シリコン層からなる、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置のパッド構造に係り、特にバンプが形成されるパッド部を有する半導体装置およびその製造方法に関する。

【0002】

【背景技術】

半導体集積回路の高集積化、半導体チップの縮小化が進む中で、チップ外部との電気的接続領域を有するパッド部の大きさは、それほど小さくならないのが現状である。その理由は、パッド部に接続されるボンディングワイヤやバンプ等の電気的接続の安定性を得るために、ならびに接続部の高抵抗化を避けるために、パッド部はある程度の大きさが確保されなければならないからである。

【0003】

また、バンプが形成されるパッド部は、保護絶縁層の開口部でのカバレッジ性が考慮される必要がある。保護絶縁層の開口部での段差が大きくかつ急峻な場合には、バリア層のカバレッジが悪く、バリア層が断線することがある。

【0004】

このような問題を解決する技術として、例えば特開平10-189606号公報がある。この公報に開示された技術によれば、半導体装置のバンプにおいて、半導体基板上のメタルパッド上に階段状の接続孔を有する保護絶縁層を有する。このような保護絶縁層を製造する場合には、メタルパッド上に形成される絶縁層を、孔径の異なるマスクを複数枚用いて、複数回のフォトリソエッティングにより

、階段状に開口するようにしている。

【0005】

この製造方法によれば、複数回のフォトリソグラフィ工程を経る必要がある。従って、各フォトリソグラフィ工程に伴うフォトマスクを複数枚準備する必要がある。その結果、この製造方法においては、バリア層のカバレッジ性は改善されるが、各フォトリソグラフィ工程および各フォトリソグラフィ工程前の洗浄等が必要で、製造工程が多く、コスト高を招く。

【0006】

【発明が解決しようとする課題】

本発明の目的は、パッド部を形成するためのマスクが1枚で済み、製造工程の短縮化が図れ、しかも高信頼性の構造を維持できる十分な厚みと応力緩和性を伴ったパッド部のパッシベーション構造を有する半導体装置およびその製造方法を提供することにある。

【0007】

【課題を解決するための手段】

本発明に係る半導体装置は、

絶縁層上に形成され、外部との電気的接続領域を有するパッド部と、

前記絶縁層および前記パッド部の上に形成され、前記電気的接続領域が露出する開口部を有する保護絶縁層と、を含み、

前記保護絶縁層は、

前記電気的接続領域に面した側面の少なくとも一部が、前記パッド部の上面に對して銳角をなすテーパ形状を有し、かつ、

少なくとも第1および第2の絶縁層を有し、該第1および第2の絶縁層の側面が前記開口部に露出する。

【0008】

この半導体装置によれば、前記保護絶縁層は、少なくとも2層の絶縁層を有し、該保護絶縁層でのクラックの発生を防止し、かつ応力を緩和できる強度を有する。そして、前記保護絶縁層は、前記電気的接続領域に面した側面の少なくとも一部が、前記パッド部の上面に對して銳角をなすテーパ形状を有することから、

カバレッジ性のよいバリア層などの成膜を行うことができる。

【0009】

本発明の半導体装置は、以下の態様を取りうる。

【0010】

(A) 前記第1および第2の絶縁層は、エッチングレートが異なる材質から構成することができる。その結果、エッチング条件を選択することで、第1および第2の絶縁層の側面の形状を制御できる。

【0011】

(B) 前記第1の絶縁層は、前記絶縁層上に形成され、前記第2の絶縁層は、前記第1の絶縁層上に形成される。そして、前記第2の絶縁層は、前記第1の絶縁層より大きい膜厚を有することができる。たとえば、前記第1の絶縁層の膜厚は400～600nmであり、前記第2の絶縁層の膜厚は600～1400nmである。前記第1の絶縁層は、主として、保護絶縁層上の成膜でのカバレッジ性の観点から、前記第2の絶縁層は、主として、保護絶縁層の強度の観点から選択される。

【0012】

(C) 少なくとも前記第2の絶縁層は、前記電気的接続領域に面した側面が、前記パッド部の上面に対して鋭角をなすテープ形状を有することができる。そして、前記第2の絶縁層は、前記電気的接続領域に面した側面と、前記パッド部の上面とがなすテープ角度が、前記第1の絶縁層のテープ角度より小さいことが望ましい。テープ角度をこのように設定することで、たとえばバリア層のカバレッジをさらに高めることができる。

【0013】

具体的には、前記第2の絶縁層は、前記電気的接続領域に面した側面と、前記パッド部の上面とがなすテープ角度が、好ましくは30～60°、前記第1の絶縁層は、前記電気的接続領域に面した側面と、前記パッド部の上面とがなす（テープ）角度が、好ましくは60～90°である。

【0014】

(D) 前記第1の絶縁層における、前記電気的接続領域に面した側面の上端

縁から、前記第2の絶縁層における、前記電気的接続領域に面した側面の下端縁までの距離は、好ましくは0~3μm、より好ましくは0~1μmである。前記距離をこの範囲に設定することで、前記パッド部のサイズを小さくでき、半導体装置の微細化に寄与できる。

【0015】

また、前記距離は0より大きいこと、すなわち、前記第2の絶縁層は、前記開口部において、前記第1の絶縁層より後退していてもよい。この構成によれば、前記開口部の段差の高さを小さくでき、たとえばバリア層のカバレッジをさらに良くできる。

【0016】

(E) さらに、前記パッド部の前記電気的接続領域上に、バリア層を介してバンプ電極が設けることができる。本発明の保護絶縁層は、その開口部での、バリア層のような薄い層を形成する際のカバレッジ性を高めることができるので、特にバンプ電極を有する半導体装置に好適である。

【0017】

さらに、本発明に係る他の半導体装置は、
絶縁層上に形成され、外部との電気的接続領域を有するパッド部と、
前記絶縁層および前記パッド部の上に形成され、前記電気的接続領域が露出する開口部を有する保護絶縁層と、を含み、
前記保護絶縁層は、前記電気的接続領域に面した側面が、前記パッド部の上面に対して鋭角をなすテーパ形状を有する。

【0018】

この半導体装置は、前記保護絶縁層がテーパ形状を有する单一の絶縁層からなる点で、前述した半導体装置と異なる。この半導体装置は、以下の態様を取りうる。

【0019】

(A) 前記保護絶縁層の膜厚は1000~2000nmであることができる。

【0020】

(B) 前記保護絶縁層は、前記電気的接続領域に面した側面と、前記パッド部の上面とがなすテーパ角度が、10～80°であることができる。

【0021】

(C) さらに、前記パッド部の前記電気的接続領域上に、バリア層を介してバンプ電極が設けられることができる。

【0022】

本発明に係る半導体装置の製造方法は、以下の工程(a)～(d)を含むことができる。

【0023】

- (a) 絶縁層上に、所定パターンのパッド部を形成する工程、
- (b) 前記パッド部を覆うように、前記絶縁層上に、少なくとも第1および第2の絶縁層を順次形成して保護絶縁層を形成する工程、
- (c) 前記保護絶縁層上に、前記パッド部の電気的接続領域に対応する領域に開口部を有するマスク層を形成する工程、および
- (d) 前記マスク層をマスクとして、前記第1および第2の絶縁層を選択的にエッティングし、前記電気的接続領域を露出させる工程。

【0024】

この製造方法によれば、単一のマスク層により第1および第2の絶縁層をエッティングすることで、製造工程数を少なくでき、コストの低減を達成できる。また、単一のマスク層を用いることから、複数のマスクを用いた場合のように、マスクの合わせ余裕を必要とせず、パッド部の大きさを小さくできる。このことは、半導体装置の微細化に寄与できる。

【0025】

本発明に係る製造方法は、以下の態様を取りうる。

【0026】

(A) 前記第2の絶縁層は、等方性エッティングによってパターニングされることができる。また、前記第1の絶縁層は、異方性エッティングによってパターニングされることができる。このように、第1および第2の絶縁層のエッティング方法を選択することで、各絶縁層に望ましいテーパ角度を与えることができる。

【0027】

(B) 前記第2の絶縁層と、前記第1の絶縁層とは、同じマスク層を用いて連続的にパターニングされることができる。

【0028】

本発明に係る他の製造方法は、以下の工程 (a) ~ (d) を含むことができる。

【0029】

(a) 絶縁層上に、所定パターンのパッド部を形成する工程、

(b) 前記パッド部を覆うように、前記絶縁層上に保護絶縁層を形成する工程

(c) 前記保護絶縁層上に、前記パッド部の電気的接続領域に対応する領域に開口部を有するマスク層を形成する工程、および

(d) 前記マスク層をマスクとして、前記保護絶縁層を等方性エッティングによってパターニングし、前記電気的接続領域を露出させる工程。

【0030】

本発明に係る製造方法は、本発明に係る半導体装置が備える各種態様を有することができる。

【0031】

【発明の実施の形態】

【第1の実施の形態】

(デバイス)

図1は、本発明の第1の実施の形態に係る半導体装置において、バンプ電極が形成されるパッド部を示す断面図である。

【0032】

この例では、最上の層間絶縁層1上に、例えばアルミニウムを含むパッド部2と、電極パッドとして機能する電気的接続領域21に開口部3aを有するパッショーベーション層(保護絶縁層)3とが形成されている。半導体装置は、層間絶縁層1の下部には、図示しないが、公知の層構造を有する。この層構造は、例えば、MOSFET、バイポーラトランジスタなどの半導体素子が形成された半導体基

板上に、コンタクト層あるいはビアコンタクト層などの層間コンタクト層が形成された層間絶縁層、および配線層が形成された絶縁層が、1組以上積層された、構造を有する。

【0033】

パッシベーション層3は、酸化シリコン層（第1の絶縁層）31および窒化シリコン層（第2の絶縁層）32の2層の積層構造を有する。これにより、パッシベーション層3は、バンプ実装時の衝撃によるパッシベーション層3でのクラックの発生を防止するのに十分な厚さを有し、しかも応力が緩和される構造を有する。

【0034】

本実施の形態では、窒化シリコン層32は、酸化シリコン層31より大きい膜厚を有することが望ましい。例えば、酸化シリコン層31の膜厚は400～600nm、窒化シリコン層32の膜厚は600～1400nmである。すなわち、酸化シリコン層31は、配線ルールの最も小さい回路素子でのカバレッジを保証するために、成膜速度を低くして薄く形成される。これに対し、窒化シリコン層32は、パッシベーション層3の強度および厚みを確保するために、比較的厚く形成される。また、パッシベーション層3は、この層の強度および応力緩和性を考慮すると、層全体で少なくとも1000nmの膜厚を有することが望ましい。

【0035】

また、本実施の形態では、電気的接続領域21に面した酸化シリコン層31および窒化シリコン層32の側面31a、32aが、それぞれパッド部2の上面に對して鋭角をなすテープ形状を有する。そして、酸化シリコン層31の（テープ）角度A-1（パッド部2の上面と、酸化シリコン層31の側面31aとがなす角度）と、窒化シリコン層32のテープ角度A-2（パッド部2の上面と、窒化シリコン層32の側面32aとがなす角度）とは、異なっている。

【0036】

酸化シリコン層31の（テープ）角度A-1は、好ましくは60～90°、より好ましくは60～70°である。窒化シリコン層32のテープ角度A-2は、好ましくは30～60°、より好ましくは30～40°である。

【0037】

このように酸化シリコン層31および窒化シリコン層32の側面31a, 32a、または少なくとも窒化シリコン層32の側面32aをテーパ形状にすることにより、後に電気的接続領域21から酸化シリコン層31および窒化シリコン層32上にわたって形成されるバリア層（図1では図示せず）のカバレッジ性を良好にすることができます。

【0038】

さらに、本実施の形態では、窒化シリコン層32は、酸化シリコン層31より小さいテーパ角度A-2の側面32aを有し、酸化シリコン層31に対して自己整合的に配置されている。そして、酸化シリコン層31の側面31aの上端縁から窒化シリコン層32の側面32aの下端縁までの距離D1は、好ましくは0～3μm、より好ましくは0～1μmである。このように距離D1を小さくできることは、後述するように、酸化シリコン層31と窒化シリコン層32の開口部のパターニングが、同じマスク層を用いたエッチングによって行われるからである。

【0039】

本実施の形態によれば、単一のマスクによって酸化シリコン層31と窒化シリコン層32とをパターニングするので、リソグラフィーの際のマスクの合わせ余裕を必要としない。そのため、電気的接続領域2の面積が最大限に得られ、かつ、パッド部2のピッチの微細化を達成できる。

【0040】

すなわち、図2に示すように、複数のパッド2を有する構成においては、微細なピッチが要求され、パッド部2の長手方向で電気的接続領域21の面積を確保しなければならない。このようなパッド部の配列に関して、本発明を適用した構成を示す図2と、マスクの合わせ余裕を考慮した比較構成を示す図3とを比較して説明する。

【0041】

本発明を適用した構成（図2）と、比較構成（図3）とでは、電気的接続領域21および521をそれぞれ同じ面積にする場合、パッド部2の面積を比較構成

のパッド部52より小さくすることができる。すなわち、本発明の構成では、酸化シリコン層31と窒化シリコン層32とのパターニングにおいてマスクの合わせ余裕を必要としないことから、比較構成よりパッド部2の幅を狭めることができる。

【0042】

より具体的には、図3に示すように、酸化シリコン層（第1の絶縁層）531と、窒化シリコン層（第2の絶縁層）532とが別のマスクによってパターニングされる場合には、マスクの合わせ余裕を確保する必要がある。そのために、酸化シリコン層531の側面と、窒化シリコン層532の側面とは、所定距離D2を介して配置される。この所定距離D2（通常、10μm程度）を確保する分だけ、パッド部52の面積が大きくなる。これに対し、本発明の構成では、マスクの合わせ余裕が必要ない分、パッド部21の面積を小さくできる。

【0043】

この結果、本発明の半導体装置によれば、半導体集積回路の高集積化、半導体チップの縮小化に要求される微細なパッド配列に高い信頼性を伴って対応できる。

【0044】

（製造方法）

図4～図6は、本発明の実施の形態に係る、半導体装置の製造方法の一例を工程順に示す断面図である。

【0045】

（1）図4に示すように、最上の層間絶縁層1上に、選択的に例えばアルミニウムを含むパッド部2を形成する。次に、層間絶縁層1上に、パッド部2を覆うように、酸化シリコン層31および窒化シリコン層32を形成する。

【0046】

酸化シリコン層31は、例えば高密度プラズマCVD（High-Density Plasma Chemical Vapor Deposition）技術を用いて、配線ルールの最も狭い回路素子のカバレッジを確保できるように形成される。成膜においては、モノシランなどのシランガスおよび酸素をアルゴン等の不活性ガスとともに、所定の流量および所

定時間用い、膜厚400～600nmの酸化シリコン層31を形成する。

【0047】

窒化シリコン層32は、例えばプラズマCVD技術を用いて成膜される。成膜においては、モノシランなどのシランガス、アンモニアおよび窒素をアルゴン等の不活性ガスとともに、所定の流量および所定時間用い、膜厚600～1400nmの窒化シリコン層32を形成する。

【0048】

(2) 次に、図5に示すように、リソグラフィ技術を用い、窒化シリコン層32上に形成した1000～2000nmのレジスト層4に、パッド部2の電気的接続領域21に対応する領域に開口部4aを形成する。

【0049】

ついで、レジスト層4をマスクとして、窒化シリコン層32を等方性エッティングによってパターニングする。具体的には、ドライエッティング（プラズマエッティング）技術を用いる。ガス種としては、O₂およびCF₄を使用することができる。このエッティング工程では、酸化シリコン層31が、レジスト層4の開口部4aの面積以上に露出するよう制御することができる。このように等方的にエッティングされた窒化シリコン層32は、その側面32aが傾斜面（テーパ形状）となる。このテーパ形状については、既に述べたように、窒化シリコン層32の側面32aのテーパ角度が、好ましくは30～60°、より好ましくは30～40°となるように、エッティング条件が選択される。

【0050】

さらに、窒化シリコン層32のエッティングに連続して、同じレジスト層4をマスクとして異方性エッティングを行う。具体的にはドライエッティング（プラズマエッティング）技術を用いる。ガス種としては、CHF₃、CF₄を、アルゴン等の不活性ガスとともに用いることができる。異方性エッティングでは、酸化シリコン層31の側面31aの（テーパ）角度が好ましくは60～90°、より好ましくは60～70°となるように、エッティングの条件を選ぶことが好ましい。

【0051】

このエッティング工程を経て、底部にパッド部2の電気的接続領域21が露出す

る開口部3aを形成することができる。

【0052】

次に、例えばプラズマ剥離技術によって、レジスト層4を剥離した後、350～450℃で、10～20分程度のシンター処理を施して、図1に示すような、パッド部2のパッシベーション構造が完成する。

【0053】

本実施の形態の方法によれば、酸化シリコン層31および窒化シリコン層32からなるパッシベーション層3は、十分な強度および厚みを持って構成される。

【0054】

しかも、パッシベーション層3が、1回のリソグラフィ工程、つまり、1枚のマスク（フォトマスク）で形成できる。この結果、製造工程の短縮化が図れ、低コストで、しかも微細化されても高信頼性の構造を維持できる。

【0055】

また、パッド部2の電気的接続領域21の表面を露出させるためのリソグラフィー工程が1回であっても、パッシベーション層3の段差が大きくかつ急峻にならないように、各層のエッチング方法を異ならせる工夫をした（工程（2）参照）。この結果、酸化シリコン層31および窒化シリコン層32の積層の段差を緩和できるようなステップ構造が形成でき、バリア層のカバレッジ性を損なうことなく、段切れのないバリア層が形成できる。

【0056】

（3）図6は、図5で説明した後に続く、バンプ電極の形成例を示す断面図である。電気的接続領域21の露出したパッド部2、酸化シリコン層31および窒化シリコン層32の上に、バリア層6を被覆する。その後、公知の方法により、このバリア層6上にバンプ電極7を形成する。

【0057】

バンプ電極7は、例えば金を含む。バリア層6は、例えば、Ti-W、Ti-Pd、Ti-Pt、Cr等、バリア性が高くかつ金と接続し易い金属またはその積層で構成される。バリア層6は、例えばバンプ電極7の形成時に同時パターニングされる。

【0058】

上記のように、酸化シリコン層31の側面31aの（テーパ）角度A-1は60～90°、窒化シリコン層32の側面32aのテーパ角度A-2は30～60°であるので、バリア層6は、カバレッジ性が良好で、段切のない高精度の状態で形成される。これにより、バンプ電極7は、高い信頼性を得ることができる。

【0059】

さらに、本実施の形態の方法を適用すれば、酸化シリコン層31および窒化シリコン層32のステップ構造が自己整合的に形成される。従って、前述したように、電気的接続領域21の面積が最大限に得られ、パッド部2の開口面積を広くすることができる。このことは、微細なバンプ電極の信頼性の向上に寄与する。

【0060】

【第2の実施の形態】

図7は、本発明の第2の実施の形態に係る半導体装置において、バンプ電極が形成されるパッド部を示す断面図である。

【0061】

この例では、パッシベーション層（保護絶縁層）3が単一の絶縁層からなる点で、第1の実施の形態と異なる。第1の実施の形態と実質的に同じ部分には同じ符号を付して、その詳細な説明を省略する。

【0062】

パッシベーション層3は、単一の絶縁層から構成される。この絶縁層としては、酸化シリコン層または窒化シリコン層を用いることができ、強度および応力緩和性を考慮すると窒化シリコン層が好ましい。パッシベーション層3は、バンプ実装時の衝撃によるパッシベーション層3でのクラックの発生を防止し、かつ応力が緩和されるために、十分な膜厚を有する。この点から、パッシベーション層3は、層全体で少なくとも1000nm、さらには1000～2000nmの膜厚を有することが望ましい。

【0063】

また、本実施の形態では、電気的接続領域21に面したパッシベーション層3の側面3bが、パッド部2の上面に対して鋭角をなすテーパ形状を有する。そし

て、パッシベーション層3のテーパ角度A-3（パッド部2の上面と、パッシベーション層3の側面3bとがなす角度）は、好ましくは10~80°、より好ましくは30~60°である。このようにパッシベーション層3の側面3bをテーパ形状にすることにより、第1の実施の形態と同様に、バリア層（図7では図示せず）のカバレッジ性を良好にすることができます。

【0064】

本実施の形態に係る半導体装置の製造方法においては、パッシベーション層3は、絶縁層を等方性エッチングによってパターニングすることで形成される。この等方性エッチングは、第1の実施の形態における窒化シリコン層32のエッチングと同様に行うことができる。

【0065】

以上、本発明の好適な実施の形態について説明したが、本発明これに限定されず、その要旨の範囲内で各種の態様をとりうる。例えば、バンプ電極は金に限定されず、他の金属でもかまわない。前記実施の形態では、パッド部は半導体装置の最上層に設けられている構成を示したが、本発明は絶縁基板や、薄い絶縁層で構成された基板上に構成される場合にも適用できる。さらに、パッシベーション層は、3層以上の層構造を有していてもよい。たとえば、さらに最上層にポリイミド樹脂などの層を有していてもよい。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に係る半導体装置における、パッド部のパッシベーション構造を示す断面図である。

【図2】

本発明の第1の実施の形態に係る半導体装置における、パッド部の配列を示す平面図である。

【図3】

本発明と比較するための半導体装置における、パッド部の配列を示す平面図である。

【図4】

本発明の第1の実施の形態に係る半導体装置における、パッド部の製造方法を示す断面図である。

【図5】

本発明の第1の実施の形態に係る半導体装置における、パッド部の製造方法を示す断面図である。

【図6】

本発明の第1の実施の形態に係る半導体装置における、パッド部の製造方法を示す断面図である。

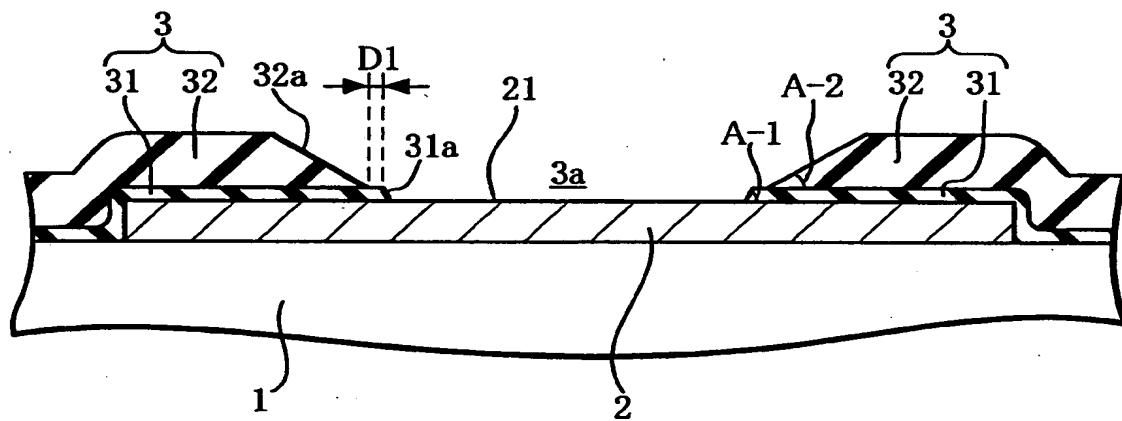
【図7】

本発明の第2の実施の形態に係る半導体装置における、パッド部のパッシベーション構造を示す断面図である。

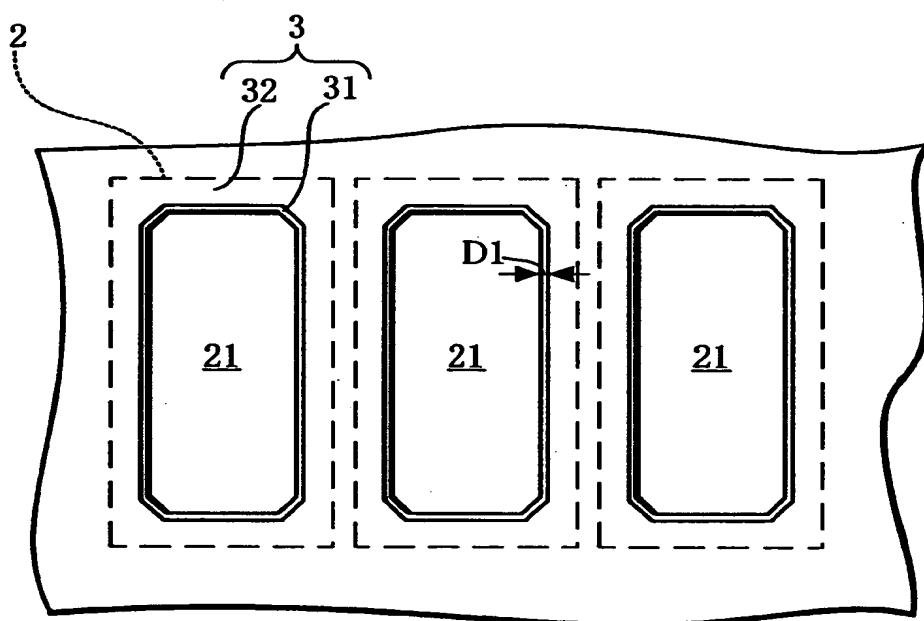
【符号の説明】

- 1 層間絶縁層
- 2 パッド部
- 2 1 電気的接続領域
- 3 パッシベーション層（保護絶縁層）
- 3 1 酸化シリコン層（第1の絶縁層）
- 3 2 窒化シリコン層（第2の絶縁層）
- 4 レジスト層（マスク層）
- 6 バリア層
- 7 バンプ電極

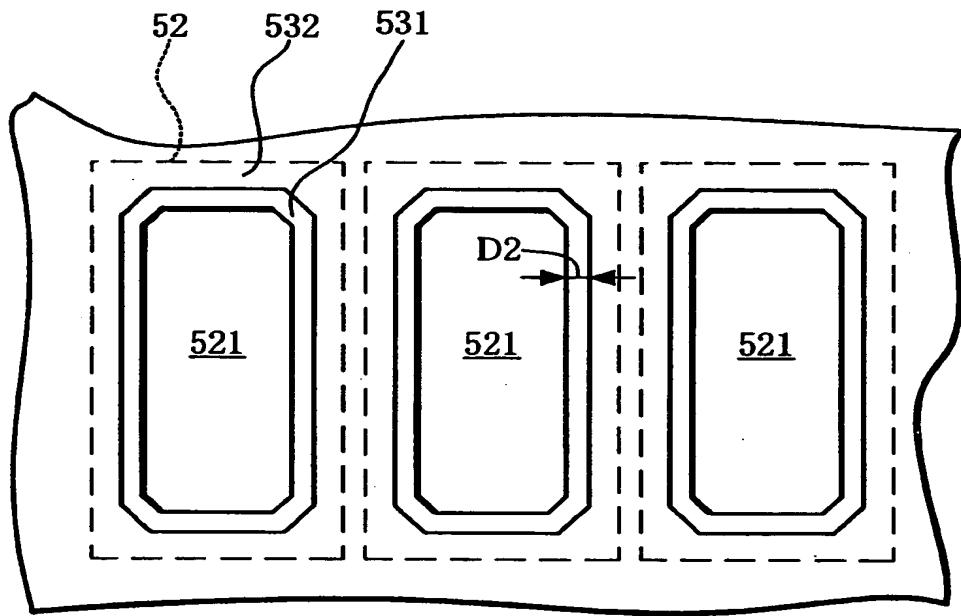
【書類名】 図面
【図1】



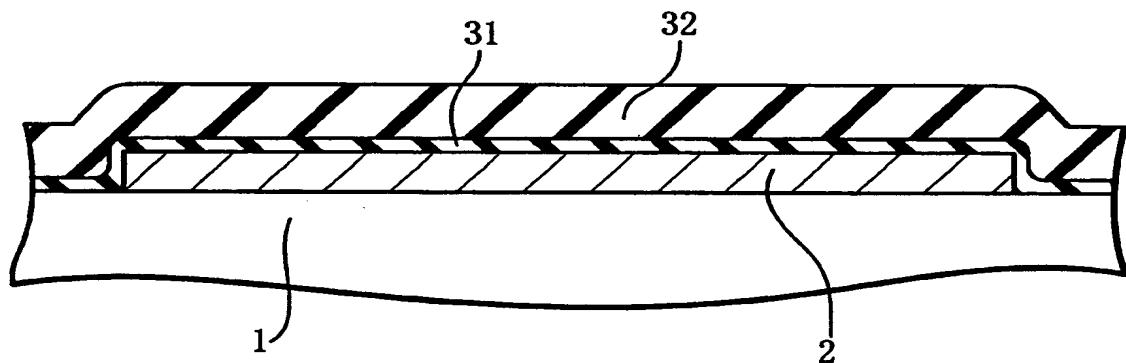
【図2】



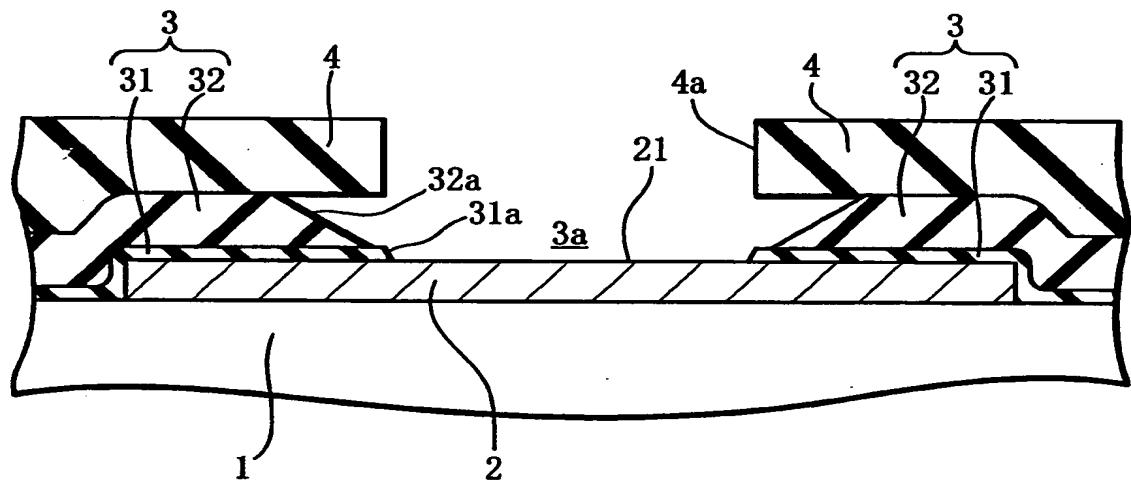
【図3】



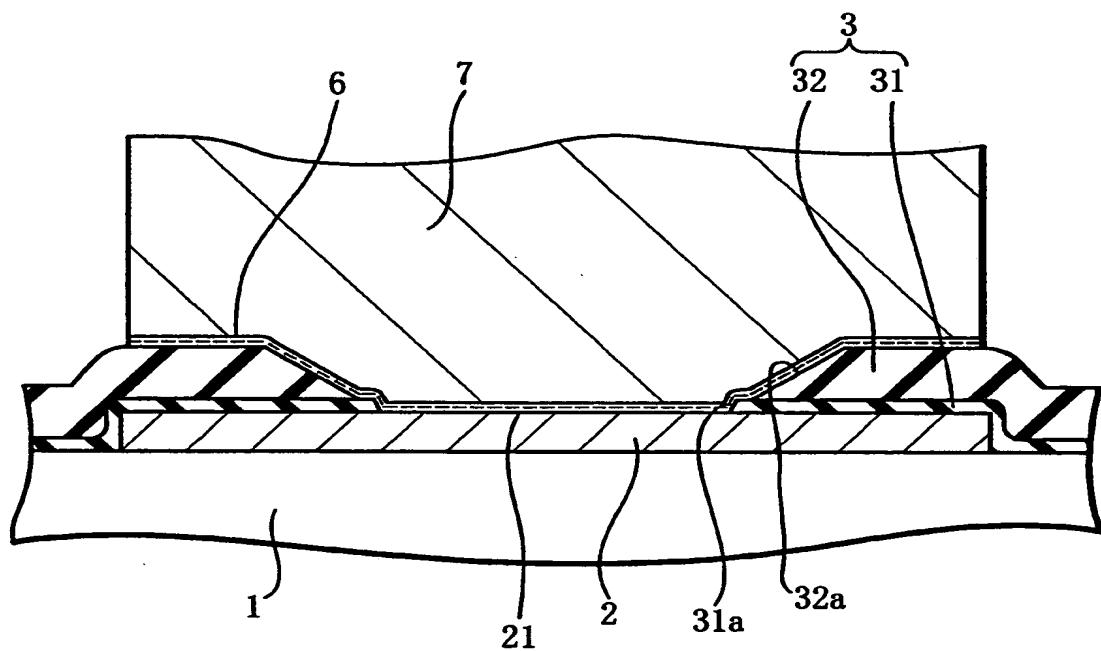
【図4】



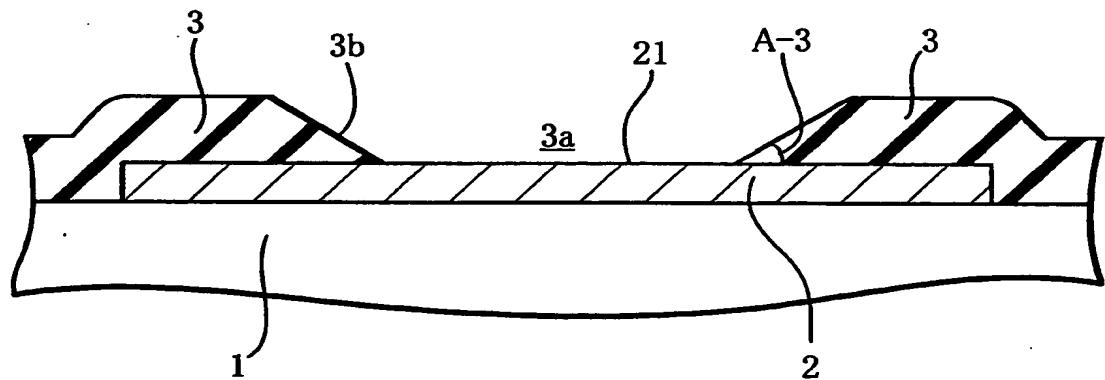
【図5】



【図6】



【図7】



【書類名】 要約書

【要約】

【課題】 製造工程の短縮化が図れ、しかも高信頼性の構造を維持できる十分な厚みと応力緩和性を伴ったパッド部のパッシベーション構造を有する半導体装置およびその製造方法を提供する。

【解決手段】 半導体装置は、層間絶縁層1上に形成され、外部との電気的接続領域21を有するパッド部2と、電気的接続領域21が露出する開口部3aを有する保護絶縁層3と、を有する。保護絶縁層3は、第1および第2の絶縁層31, 32を有し、これらの絶縁層の側面31a, 32aが開口部3aに面している。そして、電気的接続領域21に面した側面31a, 32aの少なくとも一部が、パッド部2の上面に対して鋭角をなすテーパ形状を有する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2000-162322
受付番号	50000675007
書類名	特許願
担当官	第五担当上席 0094
作成日	平成12年 6月 5日

<認定情報・付加情報>

【特許出願人】

【識別番号】 000002369

【住所又は居所】 東京都新宿区西新宿2丁目4番1号

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【住所又は居所】 東京都杉並区荻窪5丁目26番13号 荻窪TM

ビル2階 井上・布施合同特許事務所

井上 一

【選任した代理人】

【識別番号】 100090387

【住所又は居所】 東京都杉並区荻窪5丁目26番13号 荻窪TM

ビル2階 井上・布施合同特許事務所

布施 行夫

【選任した代理人】

【識別番号】 100090398

【住所又は居所】 東京都杉並区荻窪5丁目26番13号 荻窪TM

ビル2階 井上・布施合同特許事務所

大渕 美千栄

次頁無

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社